

FABRICATION OF SEMICONDUCTOR DEVICE

Patent Number: JP9069511
Publication date: 1997-03-11
Inventor(s): YOSHIDA KAZUYOSHI
Applicant(s): NEC CORP
Requested Patent: ☐ JP9069511
Application Number: JP19950222297 19950830
Priority Number(s):
IPC Classification: H01L21/3065; C23F4/00; H01L21/304
EC Classification:
Equivalents: JP2822952B2

Abstract

PROBLEM TO BE SOLVED: To realize vertical etching while eliminating the residue at level difference part perfectly by exposing the surface of a thin insulation film and then performing dry etching with high selective ratio in high pressure region using a mixture gas of HBr and O₂.

SOLUTION: In the first etching step, etching is performed at a selective ratio of 15 with respect to an oxide using a mixture gas of Cl₂, HBr and O₂ until an underlying oxide 4 is exposed. In the second etching step, etching is performed for a time substantially same as that of first etching at a selective ratio of 20 or above with respect to oxide using a mixture gas of HBr and O₂. Since the selective ratio with respect to oxide is low in the first etching step, etching is stopped at a moment of time when the underlying oxide 4 is exposed. The unetched part 5A on the side wall of field oxide 2 is removed during second etching step.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-69511

(43)公開日 平成9年(1997)3月11日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/3065			H 0 1 L 21/302	F
C 2 3 F 4/00			C 2 3 F 4/00	A
				E
H 0 1 L 21/304	3 4 1		H 0 1 L 21/304	3 4 1 D
			21/302	L
審査請求 有 請求項の数4 O L (全 9 頁)				

(21)出願番号 特願平7-222297

(22)出願日 平成7年(1995)8月30日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 吉田 和由

東京都港区芝五丁目7番1号 日本電気株式会社内

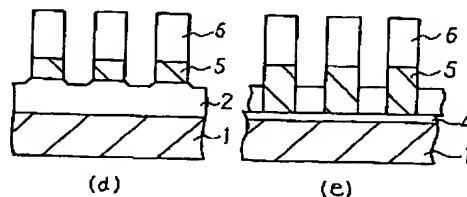
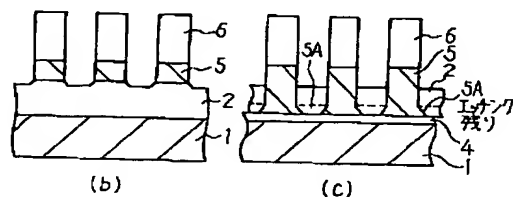
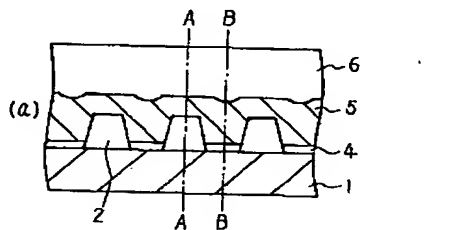
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】高段差、高アスペクト比を有する酸化膜上の多結晶シリコン膜のエッチングにおいては、段差部でのエッチング残渣や、下層の薄い酸化膜に損傷が発生する。

【解決手段】段差を有する酸化膜上の多結晶シリコン膜5を、10mTorr以下の圧力領域で 10^{10}cm^{-3} 以上のプラズマ密度の得られる低压高密度プラズマエッチング装置を用い、 Cl_2 と HBr と O_2 との混合ガスを用い対絶縁膜との選択比30以下のエッチング条件により下層の薄い絶縁膜4が表出するまでエッチングを行う第1のエッチング工程と、 HBr と O_2 との混合ガスを用い次に対絶縁膜との選択比100以上のエッチング条件でエッチングを行う第2のエッチング工程によりエッチングする。



【特許請求の範囲】

【請求項 1】 半導体基板上に段差のある絶縁膜を形成したのち全面に多結晶シリコン膜を形成し段差を埋める工程と、 Cl_2 と HBr と O_2 との混合ガスを用いるドライエッチング法により低圧力領域で対絶縁膜との選択比の小さい第 1 のエッチングを行ない前記多結晶シリコン膜を除去し前記絶縁膜の薄い部分の表面を露出させる工程と、薄い前記絶縁膜の表面を露出させたのち HBr と O_2 との混合ガスを用いるドライエッチング法により高圧力領域で選択比の大きい第 2 のエッチングを行ない前記多結晶シリコン膜の残渣を除去する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 2】 第 1 のエッチングにおける圧力は 2 ～ 8 mTorr、第 2 のエッチングにおける圧力は 20 ～ 40 mTorr である請求項 1 記載の半導体装置の製造方法。

【請求項 3】 第 1 のエッチングに用いる混合ガスの組成は、 Cl_2 が 10 ～ 50%、 HBr が 50 ～ 90%、 O_2 が 3% 以下である請求項 1 又は請求項 2 記載の半導体装置の製造方法。

【請求項 4】 第 2 のエッチングに用いる混合ガスの組成は、 HBr が 95% 以上、 O_2 が 5% 以下である請求項 1 又は請求項 2 又は請求項 3 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置の製造方法に関し、特に半導体装置の製造工程で形成される多結晶シリコン膜のドライエッチング方法に関する。

【0002】

【従来の技術】近年、半導体装置の高集積化や複雑化に伴い、その構造はより 3 次元的なものになってきている。そのため、凹凸や高段差を有する部分に膜形成を行う工程が多くなってきている。また、400 nm 以上の垂直段差やアスペクト比 1 以上の開口部を有する絶縁膜上に多結晶シリコン等の膜形成を行い、これをパターンニングする必要性も生じてきている。

【0003】高段差の下地上に形成される典型的な例としては DRAM (Dynamic Random Access Memory) 用スタックドキャパシタの電極が上げられる。以下、多結晶シリコン膜を用いるスタックドキャパシタの蓄積電極の形成方法について図 12 を用いて説明する。

【0004】まず、図 12 (a) に示すように、シリコン基板 21 上に選択酸化法により厚さ約 300 nm のフィールド酸化膜 22 を形成する。次で全面に厚さ約 300 nm の第 1 の多結晶シリコン膜を形成したのちパターンニングし、ゲート電極 23 を形成する。次でゲート電極 23 をマスクとして不純物をイオン注入し拡散層 25 を形成する。次に、全面に層間絶縁膜として CVD 法によ

り厚さ約 150 nm の酸化シリコン膜 24 を形成したのち、拡散層 25 と接続するための窓をあける。この窓あけにより 450 ～ 750 nm の段差部 26 が形成される。

【0005】次に図 12 (b) に示すように、全面にキャパシタの蓄積電極となる厚さ 600 nm の第 2 の多結晶シリコン膜 27 を形成する。次に、ゲート電極 23 上にフォトレジスト膜 28 の端部が位置するようにして CVD 酸化膜のない拡散層 25 と接続している部分の第 2 の多結晶シリコン膜 27 をマスクし、露出した第 2 の多結晶シリコン膜 27 をエッチングする。この場合のエッチングは、リアクティブイオンエッチング (RIE) 法によって行われ、 HBr に Ar を混合したガスを主成分としたガス系を用いて段差部に残渣のないエッチング形状を得ている。

【0006】高段差の下地上に形成される異なる例として、不揮発性メモリーのフローティングゲート電極が上げられる。以下、多結晶シリコン膜を用いたフローティングゲート電極の形成方法について図面を用いて説明する。

【0007】まず、図 1 (a) に示すように、シリコン基板 1 上に CVD 法により厚さ約 400 nm の酸化膜を形成し、リソグラフィ法と RIE 法により酸化膜をライン幅 0.45 μm 、スペース幅 0.39 μm にパターンニングし、素子分離を行うフィールド酸化膜 2 を形成する。次で全面に CVD 法により酸化膜を厚さ約 50 nm 形成し、エッチバックを行いフィールド酸化膜 2 の側面にサイドウォール 3 を形成する。

【0008】次に図 1 (b) に示すように、熱酸化法により厚さ約 20 nm のゲート酸化膜 4 を形成する。次で全面にフローティングゲート電極となる多結晶シリコン膜 5 をフィールド酸化膜上での厚さ 250 ～ 300 nm で形成する。これによりフィールド酸化膜による段差部は埋め込まれほぼ平坦化される。その後フィールド酸化膜 2 のラインと垂直 (紙面と平行) にリソグラフィ法によりフォトレジスト膜 6 からなるマスクを形成する。図 1 (b) における A-A 線及び B-B 線断面図が図 1

(c) 及び図 1 (d) である。次でマスクされていない露出した多結晶シリコン膜 5 をエッチングし、図 2

(a) ～ (c) に示すように、フローティングゲート電極を形成する。このときの多結晶シリコン膜 5 のエッチングでは下地の凹凸により多結晶シリコン膜厚が 250 ～ 300 nm の薄い部分と 650 ～ 700 nm の厚い部分とが存在し、同時にエッチングを行う必要がある。

【0009】このような段差を有する多結晶シリコン膜のエッチング方法には、特開平 5-304119 号公報に示されるように、RIE 法により HBr と Ar ガスを主成分とした混合ガスを用いる方法がある。この方法は、酸化膜に対する選択比の高い HBr に Ar を混合することでエッチング時に段差部に形成されるデポジショ

ン物をArイオンによりたたいて除去し、柱状のエッチング残渣の発生を抑制するものである。

【0010】また、他のエッチング方法として特開平2-219227号公報に示されるように、第1のエッチング工程で CCl_4 とHeの混合ガスで下部の酸化膜4が露出するまでエッチングを行い、次に第2のエッチング工程で CCl_4 とHeと SF_6 ガスをを用い等方性エッチングを行い、エッチング残渣をなくす方法がある。尚、多結晶シリコン膜のエッチング速度と選択比を高める為に選択比の高いHBrとエッチング速度の速いCl₂との混合ガスも多く用いられている。

【0011】

【発明が解決しようとする課題】しかしながら、HBrとArガスを主成分とした混合ガスによるRIE法で多結晶シリコン膜をエッチングする場合、図4(a)及びそのA-A線及びB-B線断面図である図4(b)及び図4(c)に示すように、フィールド酸化膜2の側壁に柱状のエッチング残渣7が生じる。これはHBrガスを主成分として用いていることと、フィールド酸化膜2の間隔が0.39 μm と狭いためフィールド酸化膜3の側壁にデポジションが生じることに原因がある。さらにこのエッチング残渣7の問題を解決するために、デポジションの少ないClを含むガス(例えば $\text{CCl}_4 + \text{He}$)を用いて多結晶シリコン膜5をRIE法によりエッチングを行った場合、図5(a)～(c)に示すように、エッチング残渣は生じないが、低選択比により下地の酸化膜4がエッチングされ、シリコン基板1に損傷8を与える。さらにClを含むガスを用いて選択比を高くする条件でエッチングを行った場合、図6(a)～

(c)に示すように、側壁保護効果が小さいためフィールド酸化膜2上の薄い多結晶シリコン膜にノッチング9Aが生じ、また厚い多結晶シリコン膜にサイドエッチング9Bが生じる。さらにRIE法ではプラズマ密度が低いためフィールド酸化膜2側壁部にテーパー状の多結晶シリコンのエッチング残り5Aが生じる。このエッチング残り5Aはオーバーエッチングを行っても取りきることはできない。

【0012】また、段差部に生じるエッチング残渣を除去する方法として特開平2-219227号公報に示されるように第2のエッチング工程で等方性エッチングを行う方法がある。しかし、この場合エッチング残渣を除去すると同時に多結晶シリコン膜と下地酸化膜との界面にノッチング9Aを生じさせ、半導体装置の信頼性を低下させる原因となる。

【0013】本発明の目的は、段差を有する絶縁膜上に形成された多結晶シリコン膜をエッチングする際に、下層の薄い絶縁膜をエッチングすることなく垂直なエッチング形状が得られしかも段差部で残渣を皆無にできる半導体装置の製造方法を提供することにある。

【0014】

【課題を解決するための手段】本発明の半導体装置の製造方法は、半導体基板上に段差のある絶縁膜を形成したのち全面に多結晶シリコン膜を形成し段差を埋める工程と、 Cl_2 とHBrと O_2 との混合ガスをを用いるドライエッチング法により低圧力領域で対絶縁膜との選択比の小さい第1のエッチングを行ない前記多結晶シリコン膜を除去し前記絶縁膜の薄い部分の表面を露出させる工程と、薄い前記絶縁膜の表面を露出させたのちHBrと O_2 との混合ガスをを用いるドライエッチング法により高圧力領域で選択比の大きい第2のエッチングを行ない前記多結晶シリコン膜の残渣を除去する工程とを含むことを特徴とするものである。

【0015】薄い部分と厚い部分のある多結晶シリコン膜を同時にエッチングする場合、スループットの関係からエッチング速度の速い第1のエッチング法と、下地の酸化膜の損傷を考慮して酸化膜に対する選択比の大きい第2のエッチング法を用いることが有用である。発明者は、主に Cl_2 とHBrとを用い、高密度のプラズマを発生できるエッチング装置を用いて種々検討した結果、HBrと Cl_2 と O_2 との混合ガスをを用い低圧力領域で第1のエッチングを行ない、次でHBrと O_2 との混合ガスをを用い高圧力領域で第2のエッチングを行なうことにより、エッチング速度が速くしかも良好なエッチング形状が得られることを見出し本発明に至ったものである。

【0016】

【発明の実施の形態】次に、本発明について図面を用いて説明する。図1(a)～(d)及び図2(a)～(e)は本発明の一実施の形態を説明する為の半導体チップの断面図であり、図1(c)及び(d)はそれぞれ図1(b)のA-A線及びB-B線断面図、図2(b)、(d)及び(c)、(d)はそれぞれ図2(a)のA-A線及びB-B線断面図である。

【0017】まず、図1(a)に示すように、シリコン基板1上にCVD法により厚さ約400nmの酸化膜を形成し、リソグラフィ法とRIE法によりこの酸化膜をライン幅0.45 μm 、スペース幅0.39 μm にパターンニングし、素子分離を行うフィールド酸化膜2を形成する。次でCVD法により全面に酸化膜を厚さ約50nm形成し、エッチバックを行いフィールド酸化膜2の側面にサイドウォール3を形成する。

【0018】次に図1(b)～(d)に示すように、熱酸化法により厚さ約20nmのゲート酸化膜4を形成したのち全面にフローティングゲート電極となる多結晶シリコン膜5を厚さ250～300nmで形成する。これによりフィールド酸化膜2により形成された段差部は埋め込まれほぼ平坦化される。その後フィールド酸化膜2のラインと垂直(紙面と平行)にリソグラフィ法によりフォトリソグ膜6のマスキを形成する。

【0019】次に図2(a)～(e)に示すように、フ

オトレジスト膜 6 をマスクとし露出した多結晶シリコン膜 6 をエッチングしフローティングゲート電極を形成する。このときの多結晶シリコン膜 6 は、下地の凹凸により膜厚が 250~300nm の薄い部分と 650~700nm の厚い部分とが存在するが、これらを同時にエッチングする。エッチングは条件の異なる 2 つの工程により行なう。

【0020】図 3 (a), (b) はこの多結晶シリコン膜 6 のエッチングを行う装置として、10mTorr 以下の圧力領域で 10^{10}cm^{-3} 以上のプラズマ密度の得られる誘導結合プラズマ処理装置の断面図及び上面図である。

【0021】第 1 のエッチング工程においてはエッチングガスとして Cl_2 、 HBr 、 O_2 の混合ガスを用い、対酸化膜との選択比を約 1.5 とする条件下で下層酸化膜 4 が表出するまでエッチングを行い、次に第 2 のエッチング工程においてエッチングガスとして HBr 、 O_2 の混合ガスを用い対酸化膜との選択比 2.0 以上の条件下で第 1 のエッチングと同程度の時間エッチングを行う。第 1 のエッチング条件は、圧力 5mTorr、誘電体プレート 11 の上部に配置されたコイル 16 に加える RF 電源 10 のパワー：コイルパワー 300W、ウェーハ 12 を保持する下部電極 13 に加える RF 電源 14 のパワー：バイアスパワー 50W、ガス導入口 15 から導入する混合ガスとしては Cl_2 流量 30sccm、 HBr 流量 70sccm、 O_2 流量 1sccm である。第 1 のエッチング工程での条件では対酸化膜の選択比が 1.5 と低いので、図 2 (a) ~ (c) に示したように、下層のゲート酸化膜 4 が表出した時点でエッチングをとめる。このため、フィールド酸化膜 2 の側壁部にエッチング残り 5A が生じ、多結晶シリコン膜 5 のエッチング後の形状は裾を引いたものとなる。このエッチング残りを除去し、裾引きをなくするために第 2 のエッチング工程が必要となる。第 2 のエッチングの条件は、圧力 20Torr、コイルパワー 300W、バイアスパワー 40W、 HBr 流量 50sccm、 O_2 流量 2sccm である。この条件下でエッチングを行うことにより図 2 (d), (e) に示すように、ゲート酸化膜 4 に損傷を与えることなく、エッチング残りのないエッチング形状が得られる。

【0022】次に第 1 のエッチング工程の条件について詳しく説明する。まず、圧力に関して、2~8mTorr の範囲では、図 7 (a) に示すように、多結晶シリコンのエッチング速度及び均一性はほぼ一定でありエッチング後の多結晶シリコン膜の形状は変化しない。しかし、10mTorr を越えると多結晶シリコンのエッチング速度が低下し、20mTorr とすると 4mTorr のときの約 70% のエッチング速度となり、スループットを低下させる。これは、プラズマ密度の低下が原因であり、図 3 に示した低圧、高密度のプラズマを生成するプラズマ処理装置では、10mTorr 以下の圧力領

域でプラズマ密度は最大となり、10mTorr を超える圧力ではプラズマ密度が低下するためである。また、図 7 (b) に示すように、圧力の増加とともに酸化膜に対する選択比が向上し、フィールド酸化膜 2 の側壁部にデポジションが生じ、これがマスクとなりエッチング残渣が生じる。

【0023】次に、バイアスパワーを増加させた場合は、図 8 (a), (b) に示すように、多結晶シリコン膜のエッチング速度は増加し、耐酸化膜選択比は減少する。これは、バイアスパワーを変化させることにより、ウェーハに入射するイオンのエネルギーが大きく変化するためである。耐酸化膜選択比が 3.0 を越える条件（バイアスパワー 20W 以下）では、図 6 (b) で示したように、段差上部の多結晶シリコン膜とフィールド酸化膜の界面にノッチングと呼ばれる形状異常が生じる。さらに、多結晶シリコン膜側壁にサイドエッチングが生じる。これは、選択比の増加に伴い、ウェーハへの入射イオンの速度の角度分布が広がり、散乱することに原因がある。このため、耐酸化膜選択比は 3.0 以下とすることが必要であり、望ましくは 1.0~2.0 とするのがよい。

【0024】 Cl_2 の混合比を増加させた場合は、図 9 (a) に示すように、多結晶シリコン膜のエッチング速度は増加し、図 6 (c) に示したようにサイドエッチング 9B が生じエッチング後の形状はテーパ角が大きいのとなる。このため、垂直形状を得るためには、 Cl_2 の流量を 10~50sccm とする必要がある。この場合酸化膜に対する選択比は図 9 (b) に示すように 1.5 程度であり特に問題はない。又 O_2 流量を増加した場合は図 10 (a) に示すように、多結晶シリコン膜のエッチング速度は増加し、形状ではサイドエッチング量が増加する。また、 O_2 流量を 0sccm とすると多結晶シリコン膜のエッチング速度が低下する。スループット及びサイドエッチング抑制の観点から O_2 流量は 1~3sccm が望ましい。

【0025】次に、第 2 のエッチング工程について詳しく説明する。第 2 のエッチング工程では、厚さ 20nm の薄いゲート酸化膜 5 が表出した状態であるため、耐酸化膜との高い選択比が必要となる。 Cl_2 ガスを用いて選択比を高くする条件では、サイドエッチング等の形状異常が生じ、 Cl_2 の混合比を減少させると垂直形状が得られる。この為単に HBr と O_2 の混合ガスを使用することが効果的である。 HBr と O_2 の混合ガスを用い圧力を変えた場合の多結晶シリコン膜のエッチング速度の均一性及び選択比を図 11 (a) 及び (b) に示す。10mTorr 以下の低圧領域で第 2 のエッチングを行った場合、図 6 (c) に示したように多結晶シリコン膜の側壁部にサイドエッチング 9B が生じる。このサイドエッチングは圧力を 20mTorr 以上とすることでなくなる。圧力 20mTorr、コイルパワー 300W、バイアスパワー 40W、 HBr 流量 50sccm、 O_2

流量 2 sccm のときの対酸化膜との選択比は約 200 である。第 2 のエッチング工程にこの条件を用いた場合、第 1 のエッチング工程でのエッチング残り 8 を除去するために第 1 のエッチング工程のエッチング時間の 70% 以上のエッチング時間を必要とする。第 2 のエッチング工程の圧力を増加すると形状異常は生じないが、多結晶シリコンのエッチング速度は低下する。この為第 2 のエッチング工程の圧力領域としては $20 \sim 40 \text{ mTorr}$ の範囲であることが望ましい。

【0026】以上説明した第 1 と第 2 のエッチング工程により、多結晶シリコン膜をエッチングし不揮発性メモリーのプロテーティングゲート電極を形成したときの形状は図 2 (d), (e) に示した通りであり、エッチング残りもなく、垂直形状のプロテーティングゲート電極が形成できる。

【0027】この実施の形態は、図 3 に示したプラズマ処理装置を用いたときのものであるが、本発明はこのプラズマ処理装置に限るものでなく、 10 mTorr 以下の圧力領域で 10^{10} cm^{-3} 以上のプラズマ密度の得られるエッチング装置を用いた場合にも、対絶縁膜との選択比 30 以下のエッチング条件により下層の薄い絶縁膜が表出するまでエッチングを行う第 1 のエッチング工程と、次に対絶縁膜との選択比 100 以上のエッチング条件でエッチングを行う第 2 のエッチング工程の組み合わせにより同様の効果が得られる。

【0028】

【発明の効果】以上説明したように、本発明は高い段差を有する多結晶シリコン膜を低圧高密度プラズマを用いてエッチングする際に、第 1 のエッチング工程として、圧力 10 mTorr 以下の $\text{Cl}_2 / \text{HBr} / \text{O}_2$ ガスの組み合わせとし対酸化膜との選択比 30 以下のエッチング条件で下層の酸化膜が表出するまでエッチングを行い、第 2 のエッチング工程として圧力 20 mTorr 以上の HBr / O_2 ガスの組み合わせとし選択比 100 以上の条件でエッチングを行うことにより、エッチング残渣をなくし、下層の薄い酸化膜をエッチングすることなく多結晶シリコン膜を垂直な形状に異方性エッチングで

【図面の簡単な説明】

【図 1】本発明の実施の形態を説明する為の半導体チップ

の断面図。

【図 2】本発明の実施の形態を説明する為の半導体チップの断面図。

【図 3】実施の形態に用いたプラズマ処理装置の断面図及び上面図。

【図 4】多結晶シリコン膜のエッチング方法の欠点を説明する為の半導体チップの断面図。

【図 5】多結晶シリコン膜のエッチング方法の欠点を説明する為の半導体チップの断面図。

【図 6】多結晶シリコン膜のエッチング方法の欠点を説明する為の半導体チップの断面図。

【図 7】エッチング速度、均一性及び選択比の圧力依存性を示す図。

【図 8】エッチング速度、均一性及び選択比のバイアスパワー依存性を示す図。

【図 9】エッチング速度、均一性及び選択比の Cl_2 流量依存性を示す図。

【図 10】エッチング速度、均一性及び選択比の O_2 流量依存性を示す図。

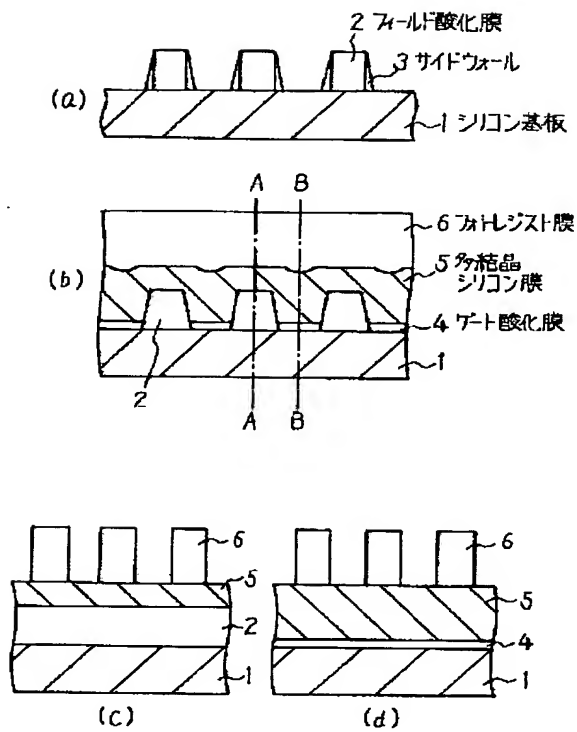
【図 11】エッチング速度、均一性及び選択比の圧力依存性を示す図。

【図 12】従来例を説明する為の半導体チップの断面図。

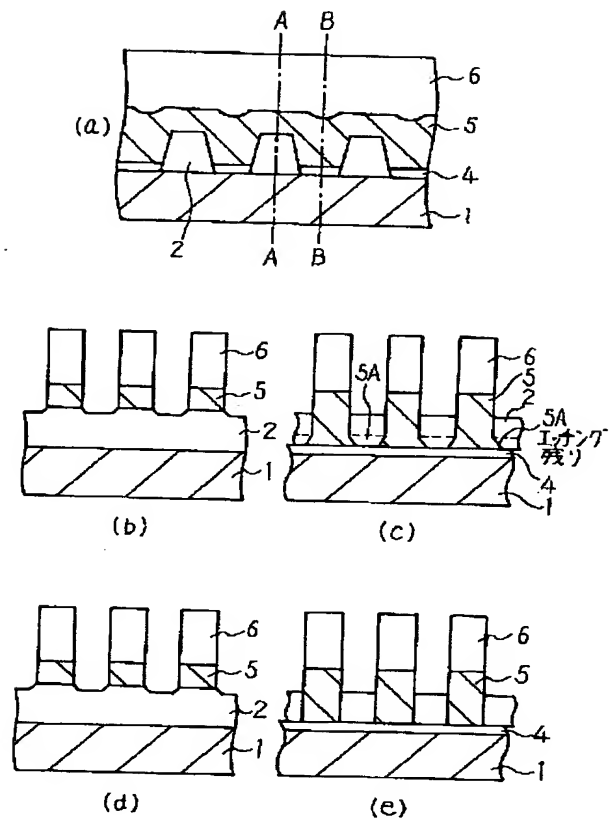
【符号の説明】

- 1, 21 シリコン基板
- 2, 22 フィールド酸化膜
- 3 サイドウォール
- 4 ゲート酸化膜
- 5, 27 多結晶シリコン膜
- 5A エッチング残り
- 6 フォトレジスト膜
- 7 エッチング残渣
- 8 損傷
- 9A ノッチング
- 9B サイドエッチング
- 23 ゲート電極
- 24 酸化シリコン膜
- 25 拡散層
- 28 フォトレジスト膜

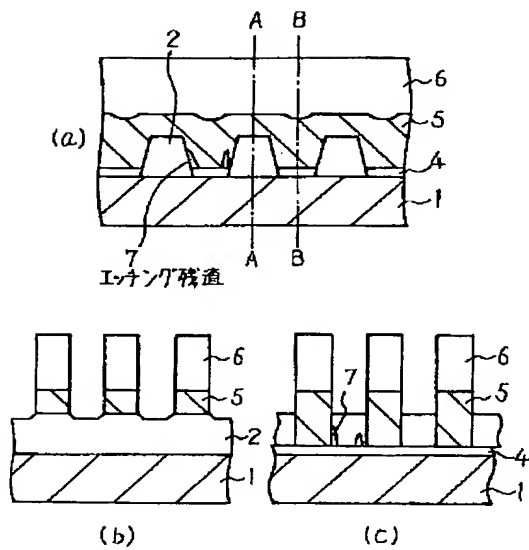
【図1】



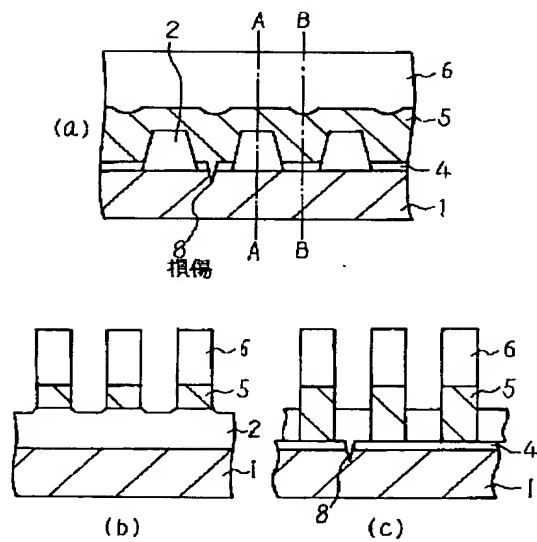
【図2】



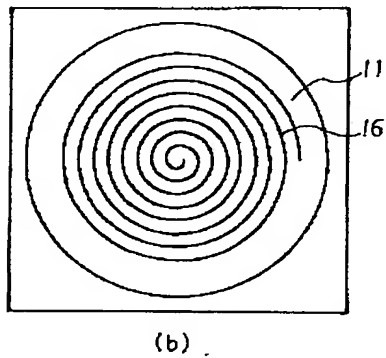
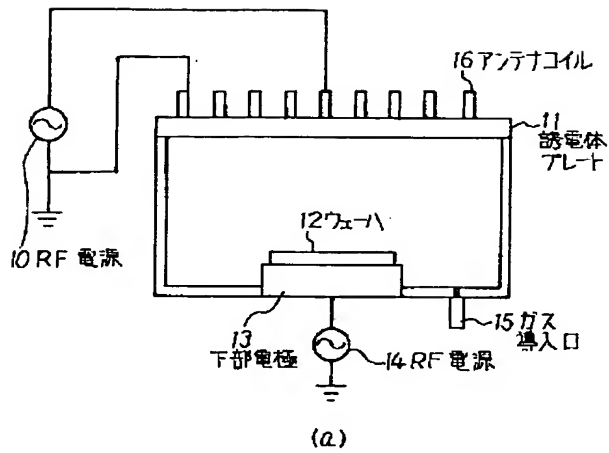
【図4】



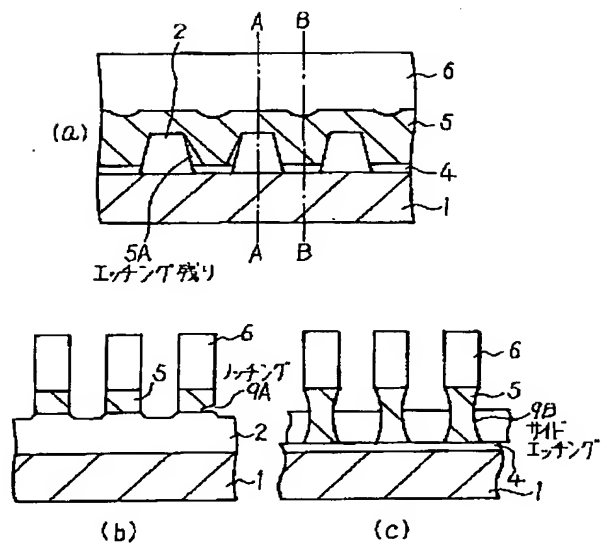
【図5】



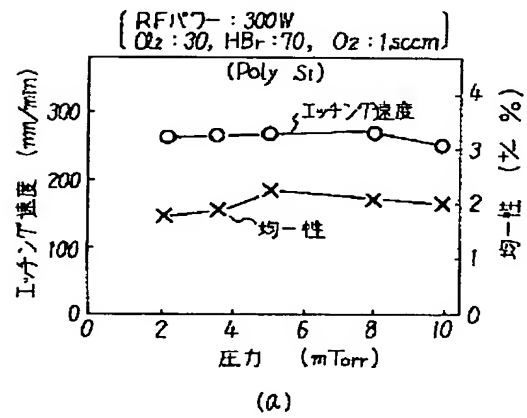
【図3】



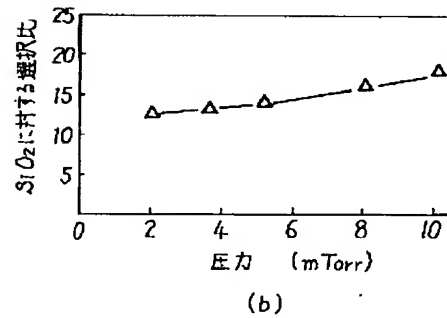
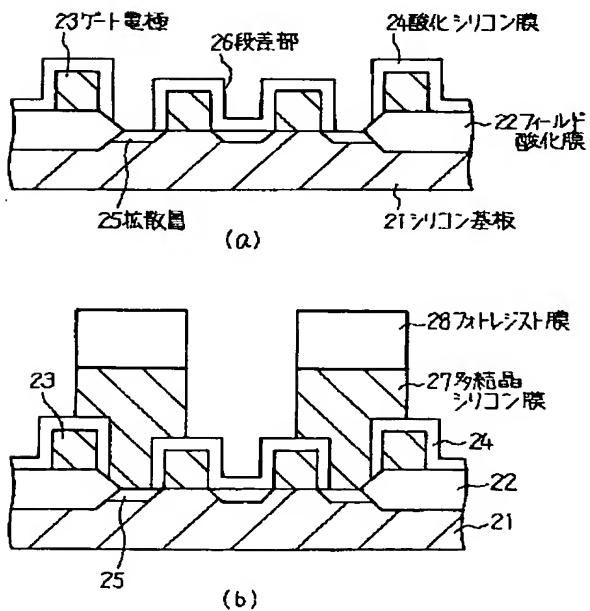
【図6】



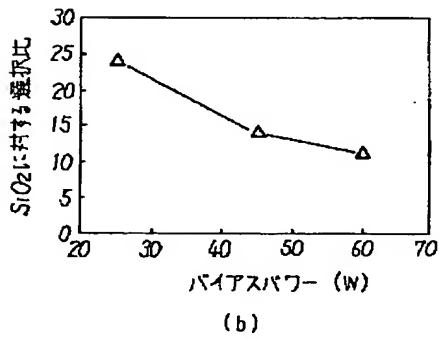
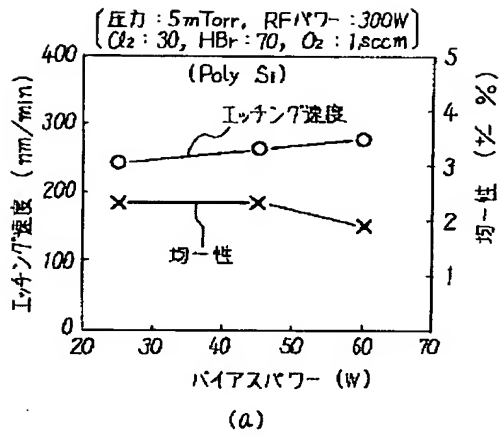
【図7】



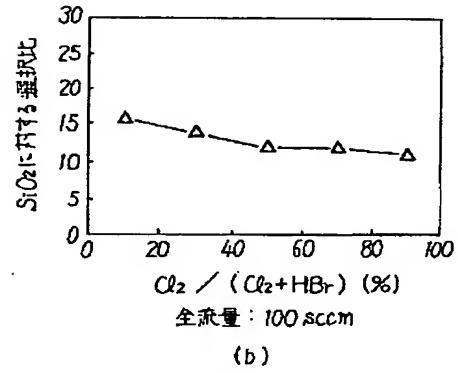
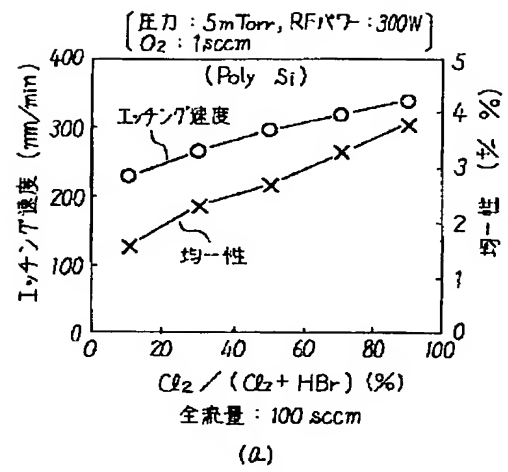
【図12】



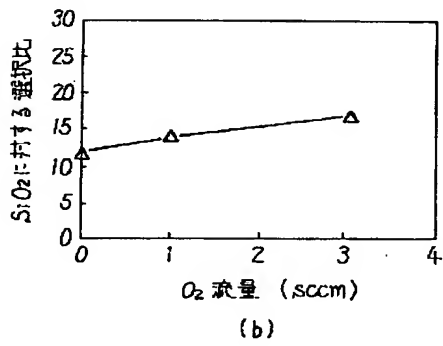
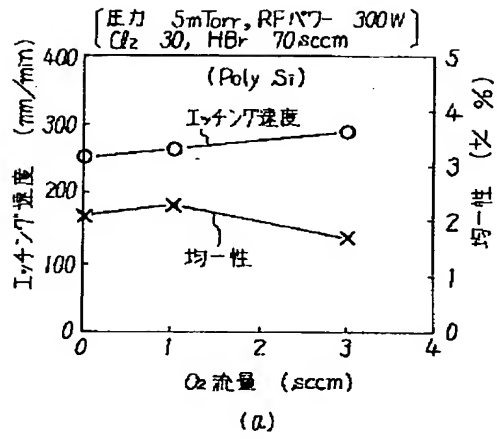
【図8】



【図9】



【図 10】



【図 11】

